



PARTICIONAMENTO DE PINOS DE I/O E SEU IMPACTO NO TAMANHO DAS INTERCONEXÕES E NÚMERO DE VIAS EM CIRCUITOS VLSI 3D

Sandro Sawicki^{1,2}, Renato Hentschke², Marcelo Johann³, Ricardo Reis⁴

INTRODUÇÃO: Este trabalho apresenta uma heurística para o particionamento e posicionamento de pinos de I/O de circuitos 2D para circuitos 3D. No que tange o conhecimento dos autores, este é o primeiro trabalho que foca este problema e estuda o seu impacto na área do circuito, balanceamento de pinos e tamanho das interconexões. O trabalho propõe que o particionamento de pinos de I/O seja realizado antes do particionamento das células VLSI. **MÉTODO:** O método desenvolvido baseia-se na idéia de manter os pinos logicamente próximos em uma mesma *tier* (camada). Resultados experimentais mostram que o método é eficiente e permite a distribuição balanceada de pinos melhorando o tamanho dos fios e o número de vias 3D em comparação com outras abordagens. O fluxo inicia calculando a menor distância lógica entre todos os pares de pinos de I/O através de uma busca BFS. Após, é criado um grafo completo dos pinos de I/O atribuindo para cada aresta o valor encontrado pela BFS. Com o valor do menor caminho lógico em suas arestas, o grafo é particionado com o objetivo de minimizar o número de conexões que cruzam as partições, mantendo um balanceamento rígido (desvio padrão pequeno). O particionamento é realizado através da ferramenta *hMetis* (particionador de hipergrafos) que baseia-se em clusterização multi-nível e é largamente utilizada na área de microeletrônica. O próximo passo é fixar os pinos em cada partição e particionar as células VLSI levando em consideração a sua área e a posição dos pinos. Neste ponto, os pinos de I/O são posicionados em cada partição considerando sua relação de aspecto (*aspect ratio*), espaços em branco (*whitespaces*) e a orientação dos pinos herdados do circuito 2D original. Um algoritmo de *Simulated Annealing* é executado com o objetivo de encontrar a melhor seqüência de *tiers* a fim de minimizar o número de vias 3D. Utilizou-se um algoritmo baseado em *Quadratic Placement* para posicionamento global e *Simulated Annealing* para o posicionamento detalhado. **RESULTADOS E CONCLUSÕES:** O algoritmo desenvolvido neste trabalho mantém um bom balanceamento de pinos de I/O entre as partições enquanto minimiza o número de vias através da heurística do menor caminho lógico. De acordo com os resultados experimentais, um particionamento simplista de pinos de I/O pode aumentar o número de vias 3D. Além disso, foi demonstrado empiricamente que usando um particionamento regular (células + pinos de I/O juntos) se obtém um desbalanceamento enorme dos pinos de I/O. As médias demonstram que os métodos de particionamento de pinos de I/O simplistas não são eficientes na minimização do corte entre as *tiers*. Contudo, percebe-se que as informações do menor caminho lógico entre os pinos de I/O melhoram a qualidade da heurística de minimização de vias 3D, mantendo o equilíbrio entre as *tiers*. A metodologia relatada neste trabalho já explora o aumento do desvio padrão dos pinos de I/O entre as *tiers* para minimizar o número de vias 3D. **TRABALHOS FUTUROS:** Trabalhos estão sendo realizados com o objetivo de particionar os caminhos críticos de circuitos VLSI, além de questionar o *tradeoff* entre minimização de vias 3D e a qualidade do

¹ Professor do Departamento de Tecnologia – UNIJUI (Área de Informática).

² Doutorando em Ciência da Computação pela UFRGS. Membro do GME (Grupo de Microeletrônica da UFRGS).

³ Professor e Pesquisador da UFRGS/PPGC, Doutor em Ciência da Computação pela UFRGS.

⁴ Professor Titular UFRGS, Doutor em Informática pelo INPG, Grenoble, França. Pesquisador PPGC e PGMicro da UFRGS, Pesquisador Nível 1 CNPq.

* Esta pesquisa é parcialmente financiada pelo CNPq.



tamanho das interconexões (*wirelength*). Os experimentos deste trabalho são realizados com *benchmarks* ISPD 2004, circuitos IBM, formato Bookshelf.